

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326364

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H01L 29/786
H01L 21/336
G02F 1/1368
H01L 21/322

(21)Application number : 2001-065813

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 08.03.2001

(72)Inventor : NAKAJIMA SETSUO

(30)Priority

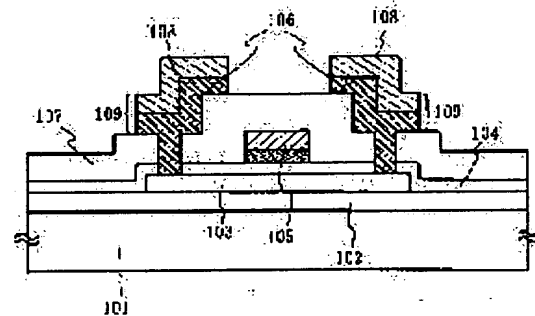
Priority number : 2000066588 Priority date : 10.03.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the productivity by effectively removing metal elements which accelerate the crystallization of an amorphous silicon film in a thin film transistor.

SOLUTION: The metal elements which accelerate the crystallization of amorphous silicon are effectively removed, or reduced, using a silicon film containing a XV group element such as phosphorus through a contact hole reaching the source and drain regions, to increase the productivity.



- 01: ガラス基板
- 02: トランジスタ
- 03: 結晶性シリコン膜
- 04: ゲート絶縁膜
- 05: ゲート電極
- 06: 不純物元素を含むシリコン膜
- 07: 層間絶縁膜
- 08: 導電膜
- 09: ソース電極またはドレイン電極

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326364

(P2001-326364A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) IntCl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L	29/786	G 0 2 F	1/1368
	21/336	H 0 1 L	21/322
G 0 2 F	1/1368		29/78
H 0 1 L	21/322		6 2 7 Z
			6 1 6 V
			6 2 7 G

審査請求 未請求 請求項の数13 O L (全 21 頁)

(21) 出願番号 特願2001-65813(P2001-65813)

(22) 出願日 平成13年3月8日 (2001. 3. 8)

(31) 優先権主張番号 特願2000-66588(P2000-66588)

(32) 優先日 平成12年3月10日 (2000. 3. 10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

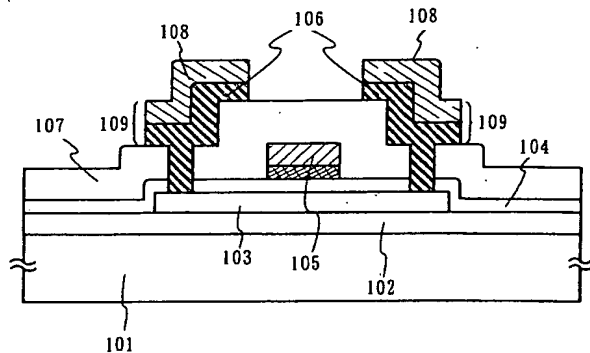
(72) 発明者 中嶋 節男
神奈川県厚木市長谷398番地 半導体エネ
ルギー研究所内

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

【課題】 薄膜トランジスタにおいて、非晶質シリコン膜の結晶化を助長する金属元素を効果的に除去するとともに、生産性の向上を目指す。

【解決手段】 ソース、ドレイン領域に達するコンタクトホールを通じて、リンなどの15族元素を含有したシリコン膜を利用することにより、非晶質シリコンの結晶化を助長する金属元素を効果的に除去あるいは低減させ、生産性の向上を図ることができる。



101: ガラス基板
102: 下地絶縁膜
103: 結晶性シリコン膜
104: ゲート絶縁膜
105: ゲート電極
106: 不純物元素を含むシリコン膜
107: 層間絶縁膜
108: 導電膜
109: ソース電極またはドレイン電極

【特許請求の範囲】

【請求項 1】絶縁表面上にソース領域、ドレイン領域、および前記ソース領域と前記ドレイン領域との間のチャネル形成領域を有する結晶性シリコン膜と、前記結晶性シリコン膜上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極と、前記ゲート電極上に層間絶縁膜と、前記層間絶縁膜上に周期表 15 族に属する不純物元素を含有したシリコン膜と、前記周期表 15 族に属する不純物元素を含有したシリコン膜上に導電層とを有する半導体装置において、前記周期表 15 族に属する不純物元素を含有するシリコン膜は前記層間絶縁膜につくられたコンタクトホールで前記ソース領域または前記ドレイン領域と接し、かつ前記周期表 15 族に属する不純物元素を含有するシリコン膜は前記結晶性シリコン膜の形成に要した金属元素が偏析していることを特徴とする半導体装置。

【請求項 2】絶縁表面上にゲート電極と、前記ゲート電極上にゲート絶縁膜と、前記ゲート絶縁膜上にソース領域、ドレイン領域および前記ソース領域と前記ドレイン領域との間のチャネル形成領域を有する結晶性シリコン膜と、前記結晶性シリコン膜上に保護絶縁膜と、前記保護絶縁膜上に層間絶縁膜と、前記層間絶縁膜上に周期表 15 族に属する不純物元素を含有したシリコン膜と、前記周期表 15 族に属する不純物元素を含有したシリコン膜上に導電層とを有する半導体装置において、前記周期表 15 族に属する不純物元素を含有するシリコン膜は前記層間絶縁膜につくられたコンタクトホールで前記ソース領域または前記ドレイン領域と接し、かつ前記周期表 15 族に属する不純物元素を含有するシリコン膜は前記結晶性シリコン膜の形成に要した金属元素が偏析していることを特徴とする半導体装置。

【請求項 3】請求項 1 または請求項 2 のいずれか一項において、非晶質シリコン膜の結晶化を助長する金属元素は Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、In から選ばれた一種類または複数種類の元素であることを特徴とする半導体装置。

【請求項 4】請求項 1 または請求項 2 のいずれか一項において、前記周期表の 15 族に属する不純物元素を含有するシリコン膜中に含まれる不純物元素はリンであることを特徴とする半導体装置。

【請求項 5】請求項 1 または請求項 2 または請求項 4 のいずれか一項において、前記周期表の 15 族に属する不純物元素を含有したシリコン膜中に含まれるリン濃度は 1×10^{19} atoms/cm³ 以上であることを特徴とする半導体装置。

【請求項 6】絶縁表面上に非晶質シリコン膜を形成する第 1 の工程と、前記非晶質シリコン膜の結晶化を助長する金属元素を添加し前記非晶質シリコン膜を結晶成長させ結晶性シリコン膜を形成する第 2 の工程と、前記結晶性シリコン膜上にゲート絶縁膜を形成する第 3 の工程と、前記ゲート絶縁膜上にゲート電極を形成する第 4 の

工程と、前記結晶性シリコン膜の選択された領域に不純物元素を添加してソース領域およびドレイン領域を形成する第 5 の工程と、前記ゲート電極上に層間絶縁膜を形成する第 6 の工程と、前記層間絶縁膜に前記ソース領域または前記ドレイン領域に達するコンタクトホールを形成する第 7 の工程と、前記コンタクトホール及び前記層間絶縁膜上に周期表の 15 族に属する不純物元素を含有したシリコン膜を形成する第 8 の工程と、熱アニールにより前記結晶性シリコン膜中に含まれる前記金属元素のゲッタリングを行う第 9 の工程と前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電膜を形成する第 10 の工程と、を有する半導体装置の作製方法。

【請求項 7】絶縁表面上にゲート電極を形成する第 1 の工程と、前記ゲート電極上にゲート絶縁膜を形成する第 2 の工程と、前記ゲート絶縁膜上に非晶質シリコン膜を形成する第 3 の工程と、前記非晶質シリコン膜の結晶化を助長する金属元素を添加し前記非晶質シリコン膜を結晶成長させ結晶性シリコン膜を形成する第 4 の工程と、前記結晶性シリコン膜上に保護絶縁膜を形成する第 5 の工程と、前記結晶性シリコン膜の選択された領域に不純物元素を添加してソース領域およびドレイン領域を形成する第 6 の工程と、前記保護絶縁膜上に層間絶縁膜を形成する第 7 の工程と、前記保護絶縁膜及び前記層間絶縁膜に前記ソース領域または前記ドレイン領域に達するコンタクトホールを形成する第 8 の工程と、前記コンタクトホール及び前記層間絶縁膜上に周期表の 15 族に属する不純物元素を含有したシリコン膜を形成する第 9 の工程と、熱アニールより前記結晶性シリコン膜中に含まれる前記金属元素のゲッタリングを行う第 10 の工程と前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電膜を形成する第 11 の工程と、を有する半導体装置の作製方法。

【請求項 8】請求項 6 または請求項 7 のいずれか一項において、前記熱アニールは、前記非晶質シリコン膜の結晶化を助長する金属元素のゲッタリングを進行させることを特徴とする半導体装置の作製方法。

【請求項 9】請求項 6 乃至 8 のいずれか一項において、前記熱アニールは、前記非晶質シリコン膜の結晶化を助長する金属元素のゲッタリングを進行させると共に、結晶性シリコン膜に添加された不純物元素を活性化させることを特徴とする半導体装置の作製方法。

【請求項 10】請求項 6 または請求項 7 のいずれか一項において、非晶質シリコン膜の結晶化を助長する金属元素は Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、In から選ばれた一種類または複数種類の元素である半導体装置の作製方法。

【請求項 11】請求項 6 または請求項 7 のいずれか一項において、前記周期表の 15 族に属する不純物元素を含有するシリコン膜中に含まれる不純物元素はリンである

ことを特徴とする半導体装置の作製方法。

【請求項12】請求項6、請求項7、請求項11のいずれか一項において、前記周期表の15族に属する不純物元素を含有したシリコン膜中に含まれるリン濃度は 1×10^{19} atoms/cm³以上であることを特徴とする半導体装置の作製方法。

【請求項13】請求項6、請求項7、請求項11、請求項12のいずれか一項において、前記周期表の15族に属する不純物元素を含有したシリコン膜は前記導電膜とセルフアラインで配線形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非晶質シリコン膜の結晶化を助長する金属元素を効果的に除去する方法を用いた薄膜トランジスタ（以下TFTという）で構成された回路を有する半導体装置の作製方法に関する。例えば、画素部と駆動回路を同一の基板に設けたアクティブマトリクス型の液晶表示装置に代表される電気光学装置およびそのような電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、TFTとしての単体素子のみならずTFTを用いて形成される電気光学装置、そのような電気光学装置を部品として搭載した電子機器、半導体回路は全て半導体装置である。

【0003】

【従来の技術】各種集積回路に利用されているものとして、半導体薄膜を用いたTFTがある。半導体薄膜には非晶質シリコン膜や結晶性シリコン膜があるが、非晶質シリコン膜は形成が容易であるため生産性に優れているもののTFTの電気的特性が低いため動作速度が遅く、周辺の駆動回路を一体化したアクティブマトリクス型液晶表示装置に利用したり、各種集積回路を構成したりすることができない。そのため、より特性の良い結晶性シリコン膜が用いられる。

【0004】結晶性シリコン膜を作製する方法として、熱アニール法とレーザーアニール法がある。しかし、熱アニール法は600℃以上の高温プロセスが必要とされるために安価で大面積化が可能なガラス基板に適用できず、かつ処理時間が長いという問題点がある。また、レーザーアニール法は基板に熱的ダメージを与えることがないプロセスを実現できるものの結晶性の均一性や再現性さらには結晶化度など満足できるものが得られないという問題点がある。このような問題点を解決するための1つの手段として、所定の金属元素を用いて結晶化を助長させる方法がある。

【0005】上記の方法には、熱アニールを用いつつ結晶化温度をガラス基板に適用可能な600℃以下に低温化

した技術として本出願人により特開平7-130652号公報などに開示されている方法がある。この方法は、非晶質シリコン膜にNiに代表される金属元素を導入して熱アニールする方法で、良好な結晶性を有する結晶性シリコン膜が得られている。

【0006】

【発明が解決しようとする課題】所定の金属元素を用いて結晶化を助長する方法を用いた場合、結晶化はこの金属元素の拡散、移動に伴って進行するため、結晶化を助長する金属元素が結晶性シリコン膜中に残留する。その結果、結晶性シリコン膜表面近傍に析出して接合リークを生じさせる他、深い準位を形成してキャリアの再結合、生成中心となるためTFTの電気的特性の安定性や信頼性を損なうという問題が生じる。そのため、この金属元素を除去あるいは低減させる技術としてゲッタリングによる種々の技術が開発されている。

【0007】ゲッタリングの方法には、例えば、非晶質シリコン膜を金属元素により結晶化させて結晶性シリコン膜とさせた後デバイス領域となる場所を酸化膜などのマスク層で覆い、デバイス領域以外にゲッタリングに効果的なPなどの15族元素を高濃度にドーピングしてゲッタリングを促す領域（以下、ゲッタリングサイトと示す）とする方法や、同様にデバイス領域となる場所をマスクし、その上にPなどの15族元素を高濃度含んだシリコン膜を形成しゲッタリングサイトとする方法がある。しかし、これらの方法はマスク層となる膜の形成、パターンニング工程を必要とするため、マスク数が増加し製造コストの増加を招くとともに生産性が低下する。

【0008】また別な方法として、例えばデバイスのソース、ドレイン領域をゲッタリングサイトとする方法がある。この方法では、ゲッタリングのためのパターンニングが不要であるためマスク数を削減できるが、ゲッタリングサイトが容積的に限られてしまうためややゲッタリング効率が落ち、また、p-ch TFTにもドナーとなるPなどの15族元素をドーピングするため、アクセプターとなるイオンを過剰にドーピングしなければならず、製造コストの増加及び生産性の低下の原因となる。

【0009】本明細書で開示する発明は、非晶質シリコン膜の結晶化を助長する金属元素を利用して得られる結晶性シリコン膜を用いて作製されるTFTにおいて、その特性に当該金属元素の悪影響が及ぶことを抑制するとともに、製造コストの低下と生産性の増加が得られる技術を提供することを課題とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の一つは、絶縁表面上にソース領域、ドレイン領域および前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域を有する結晶性シリコン膜と、前記結晶性シリコン膜上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極と、前記ゲート電極上に層間絶縁膜と、

前記層間絶縁膜上にリンを含有したシリコン膜と、前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電層とを有する半導体装置において、前記周期表の 15 族に属する不純物元素を含有するシリコン膜は前記層間絶縁膜につくられたコンタクトホールで結晶性シリコン膜のソース領域またはドレイン領域と接し、かつ前記周期表の 15 族に属する不純物元素を含有するシリコン膜は前記結晶性シリコン膜の形成に要した金属元素が偏析していることを特徴とする半導体装置である。

【0011】他の発明の構成は、絶縁表面上にゲート電極と、前記ゲート電極上にゲート絶縁膜と、前記ゲート絶縁膜上にソース領域及びドレイン領域と前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域を有する結晶性シリコン膜と、前記結晶性シリコン膜上に保護絶縁膜と、前記保護絶縁膜上に層間絶縁膜と、前記層間絶縁膜上に周期表の 15 族に属する不純物元素を含有したシリコン膜と、前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電層とを有する半導体装置において、前記周期表の 15 族に属する不純物元素を含有するシリコン膜は前記層間絶縁膜につくられたコンタクトホールで結晶性シリコン膜のソース領域またはドレイン領域と接し、かつ前記周期表の 15 族に属する不純物元素を含有するシリコン膜は前記結晶性シリコン膜の形成に要した金属元素が偏析していることを特徴とする半導体装置である。

【0012】他の発明の構成は、絶縁表面上に非晶質シリコン膜を形成する第 1 の工程と、前記非晶質シリコン膜の結晶化を助長する金属元素を添加し前記非晶質シリコン膜を結晶成長させ結晶性シリコン膜を形成する第 2 の工程と、前記結晶性シリコン膜上にゲート絶縁膜を形成する第 3 の工程と、前記ゲート絶縁膜上にゲート電極を形成する第 4 の工程と、前記結晶性シリコン膜の選択された領域に不純物元素を添加してソース領域およびドレイン領域を形成する第 5 の工程と、前記ゲート電極上に層間絶縁膜を形成する第 6 の工程と、前記層間絶縁膜にソース領域またはドレイン領域に達するコンタクトホールを形成する第 7 の工程と、前記コンタクトホール及び前記層間絶縁膜上に周期表の 15 族に属する不純物元素を含有したシリコン膜を形成する第 8 の工程と、熱アニールにより前記結晶性シリコン膜中に含まれる前記金属元素のゲッタリングを行う第 9 の工程と前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電膜を形成する第 10 の工程と、を有する半導体装置の作製方法である。

【0013】他の発明の構成は、前記絶縁表面上にゲート電極を形成する第 1 の工程と、前記ゲート電極上にゲート絶縁膜を形成する第 2 の工程と、前記ゲート絶縁膜上に非晶質シリコン膜を形成する第 3 の工程と、前記非晶質シリコン膜の結晶化を助長する金属元素を添加し前記非晶質シリコン膜を結晶成長させ結晶性シリコン膜を

形成する第 4 の工程と、前記結晶性シリコン膜上に保護絶縁膜を形成する第 5 の工程と、前記結晶性シリコン膜の選択された領域に不純物元素を添加してソース領域およびドレイン領域を形成する第 6 の工程と、前記保護絶縁膜上に層間絶縁膜を形成する第 7 の工程と、前記保護絶縁膜及び前記層間絶縁膜にソース領域またはドレイン領域に達するコンタクトホールを形成する第 8 の工程と、前記ソース領域またはドレイン領域に達するコンタクトホール及び前記層間絶縁膜上に周期表の 15 族に属する不純物元素を含有したシリコン膜を形成する第 9 の工程と、熱アニールより前記結晶性シリコン膜中に含まれる前記金属元素のゲッタリングを行う第 10 の工程と前記周期表の 15 族に属する不純物元素を含有したシリコン膜上に導電膜を形成する第 11 の工程と、を有する半導体装置の作製方法である。

【0014】上記 4 つの発明の構成において、周期表の 15 族に属する不純物元素を含有したシリコン膜は、ソース領域またはドレイン領域に達するコンタクトホールを通じて熱アニールにより非晶質シリコン膜の結晶化を助長する金属元素のゲッタリングサイトとして機能する。

【0015】上記 4 つの発明の構成において、非晶質シリコン膜の結晶化を助長する金属元素として Ni を用いることが好ましいことが本出願人による発明で判明している。一般に、非晶質シリコン膜の結晶化を助長する金属元素として Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、In から選ばれた一種類または複数種類の元素を用いることができる。

【0016】上記 4 つの発明の構成において、周期表の 15 族に属する不純物元素は、非晶質シリコン膜の結晶化を助長する金属元素をゲッタリングするための元素である。非晶質シリコン膜の結晶化を助長する金属元素としてニッケル (Ni) を選択し、ゲッタリング元素としてリン (P) を選択した場合、ゲッタリングを効果的に行うことができる。

【0017】また、周期表の 15 族に属する不純物元素としてリンを選択した場合、このリンを含有したシリコン膜中のリン濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。p-chTFT においては、半導体層の不純物領域と前記シリコン膜とは PN 接合を形成するが、前記不純物領域および前記シリコン中に含まれる不純物元素濃度が高いため、また、多結晶珪素膜中に内在する多数の結晶欠陥のために、半導体層の不純物領域とこのリンを含有したシリコン膜が接するコンタクトホール部でトンネル接合が形成され、十分低いコンタクト抵抗を得ることが出来る。

【0018】結晶化を助長するための金属元素の導入は、イオン注入法、溶液を用いた拡散法、固体を用いた拡散法、スパッタ法や CVD 法で成膜した膜から拡散させる方法、プラズマ処理法、ガス吸着法などの方法を用い

ることができる。また、ゲッタリング元素であるリンを含んだシリコン膜には、プラズマCVD (P-CVD) 装置、減圧CVD (LP-CVD) 装置、スパッタ装置などで成膜されるものが適用できる。

【0019】また、上記4つの発明の構成において、熱アニールは非晶質シリコン膜の結晶化を助長する金属元素のゲッタリングを進行させると同時に、ソース、ドレイン領域を形成するためにドーピングされた不純物元素を活性化させることができ、ゲッタリングの進行及び不純物元素の活性化に要する熱処理工程を一括で行える。

【0020】また、上記4つの発明の構成において、リンを含有したシリコン膜はリンを含有したシリコン膜上に導電膜を形成した後、導電膜によりセルフアラインでパターンニングして、配線として機能させる。

【0021】

【発明の実施の形態】図1に発明の具体的な構成例を示す。すなわち、基板101上に下地絶縁膜102が形成され、下地絶縁膜102上に結晶性シリコン膜103が形成され、チャネル形成領域103a、ソース領域またはドレイン領域103bを有する結晶性シリコン膜103、および下地絶縁膜102上にゲート絶縁膜104が形成され、ゲート絶縁膜104上にゲート電極105が形成され、ゲート電極105およびゲート絶縁膜104上に層間絶縁膜107が形成され、層間絶縁膜107およびゲート絶縁膜104に結晶性シリコン膜のソース領域またはドレイン領域103bに達するコンタクトホールが形成され、ソース領域またはドレイン領域に達するコンタクトホール及び層間絶縁膜107上に周期表の15族に属する不純物元素を含むシリコン膜106が形成され、周期表の15族に属する不純物元素を含むシリコン膜106上に導電膜108が形成され、最終的に周期表の15族に属する不純物元素を含むシリコン膜106を下層にもつソース電極あるいはドレイン電極109が形成される構成となっている。なお、本明細書において、基板表面と基板上に形成された絶縁膜の表面とを絶縁表面と称することとする。

【0022】結晶性シリコン膜は下地絶縁膜102上に非晶質シリコン膜を形成し、結晶化を助長する金属元素を前記非晶質シリコン膜中に導入し熱アニールすることによって形成される。そのため、結晶性シリコン膜には結晶化を助長した金属元素が含まれている。また、シリコン膜106に含まれる周期表の15族に属する不純物元素は、熱アニールにより結晶化を助長した金属元素をゲッタリングする作用を持つ。

【0023】そこで、周期表の15族に属する不純物元素を含むシリコン膜106を形成後に熱アニールを行うと、結晶性シリコン膜のソース領域又はドレイン領域103bに達するコンタクトホール（以下、それぞれソースコンタクト、ドレインコンタクトと示す）を通して、結晶化を助長する金属元素はシリコン膜106中のゲッ

タリング作用のあるリンにより、効果的に結晶性シリコン膜から除去される。また、周期表の15族に属する不純物元素を含むシリコン膜106形成後に熱アニールを行うことにより、基板全体にシリコン膜106が存在するため基板全体がゲッタリングサイトとなり、ソース、ドレイン領域をゲッタリングサイトとする方法と比較してゲッタリング効率が高くなる。その後、周期表の15族に属する不純物元素を含むシリコン膜106は導電膜108と共にソース電極またはドレイン電極109として機能する。

【0024】本構成の特徴はソースコンタクト及びドレインコンタクトに接して周期表の15族に属する不純物元素を含有したシリコン膜を形成しこれをゲッタリングサイトとするため、従来用いられてきた酸化膜などのマスク層の形成工程やパターンニング工程が不要となることにある。それにより、製造コストの低下や生産性の向上を図ることができる。

【0025】なお、本構成は一例であり、この構成のみに限定されるものではなく、ソースコンタクト及びドレインコンタクトを通じて周期表の15族に属する不純物元素を含有したシリコン膜をゲッタリングサイトにし、非晶質シリコン膜の結晶化を助長した金属元素をゲッタリングするということが本発明の意図するところである。

【0026】

【実施例】【実施例1】本実施例では、TFTの活性層とする結晶性シリコン膜の作製方法として特開平7-130652号公報で開示されている金属元素を用いる結晶化法を応用し、CMOS回路を形成するのに必要なnチャネル型TFT (n-ch TFT) とpチャネル型TFT (p-ch TFT) を同一基板上に作製する方法について、工程に従って図2～図5を用いて説明する

【0027】図2 (A) で示すように、基板201上下地絶縁膜202a、202bを成膜して下地絶縁層を形成する。基板201にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。このようなガラス基板は熱処理時の温度により数ppm～数十ppm程度収縮するため、ガラス歪み点よりも10～20℃低い温度であらかじめ熱処理しておいても良い。また、このようなガラス基板には微量にナトリウムなどのアルカリ金属元素といった不純物元素が含まれ、このような元素が活性層内に侵入してTFTの電気的特性に影響を及ぼすことがあるため、このような元素に対するブロッキング層として下地絶縁膜202a、202bを設ける。下地絶縁膜としては、窒化シリコン膜、酸化シリコン膜が適用されるが、窒化シリコン膜は不純物元素のブロッキング効果が高いという利点があるがトラップ準位が多いという欠点があり、酸化シリコン膜はバンドギャップが広く絶縁性が高くトラップ準位が低いという利点があるが不純物元素のブロッキング性が低い。そのた

め、窒化シリコン膜を基板側、酸化シリコン膜を活性層側に設けることによって両者の利点を活かした下地絶縁層を形成することができる。ここでは例えば、下地絶縁膜 202a に窒素成分の高い酸化窒化シリコン膜を、下地絶縁膜 202b に酸素成分の高い酸化窒化シリコン膜を配置する構成にする。下地絶縁膜 202a は SiH_4 、 NH_3 、 N_2O から 10~100nm (好ましくは 20~60nm) の厚さで形成し、下地絶縁膜 202b は SiH_4 、 N_2O から 10~200nm (好ましくは 20~100nm) の厚さで形成する。

【0028】なお、本実施例では、ガラス基板を用いているため下地絶縁膜を形成しているが、石英基板やセラミック基板もしくは金属基板を用いてもよい。なお、半導体膜に不純物元素が拡散することのない基板を用いる場合には、下地絶縁膜を形成する必要はない。

【0029】これらの膜は従来の平行平板型のプラズマ CVD 法を用いて形成する。酸化窒化シリコン膜 202a は SiH_4 を 10SCCM、 NH_3 を 100SCCM、 N_2O を 20SCCM 反応室に導入し、基板温度 400℃、反応圧力 0.3Torr、放電電力密度 0.41W/cm²、放電周波数 60MHz という条件で成膜した。この酸化窒化シリコン膜 202a を成膜した後、ゴミ対策など膜を安定して供給するためにチャンバーをクリーニングしてもよい。その間、酸化窒化シリコン膜 202a を成膜した基板はチャンバー外に出されるため、クリーンルーム環境の影響を受け、汚染元素であるリンや炭素が 202a 表面に付着することがある。そこで、 N_2O プラズマ処理を行い 202a 表面に付着したリンや炭素を効果的に除去してもよい。これにより、汚染元素の活性層への移動に伴う TFT の電気的特性の変動を低減させることができる。一方、酸化窒化シリコン膜 202b は SiH_4 を 4SCCM、 N_2O を 400SCCM 反応室に導入し、基板温度 400℃、反応圧力 0.3Torr、放電電力密度 0.41W/cm²、放電周波数 60MHz という条件で成膜した。

【0030】ここで成膜した酸化窒化シリコン膜 202a は、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム (NH_4HF_2) を 7.13% とフッ化アンモニウム (NH_4F) を 15.4% 含む混合溶液 (ステラケミファ社製、商品名 LAL500) の 20℃ におけるエッチング速度が 63nm/min と遅く、緻密で硬い膜である。このような膜を下地絶縁膜として用いることにより、アルカリ金属が活性層へ拡散するのを防ぐことができる。

【0031】そしてプラズマ CVD 法やスパッタ法など公知の方法で非晶質シリコン膜 203a を 25~80 nm (好ましくは 30~60nm) の厚さで成膜して、非晶質半導体層を形成する。ここでは例えば、非晶質シリコン膜を 55 nm の厚さで形成した。また、下地膜 202b と非晶質シリコン膜 203a は両者を連続して成膜しても良い。例えば前述のように酸化窒化シリコン膜 202a と酸化窒化シリコン膜 202b をプラズマ CVD 法で成膜後、反応ガスを SiH_4 、 N_2O から SiH_4 と H_2 あるいは SiH_4 のみに切り替えれば一旦大気雰囲気気に晒すことなく連続成膜でき

る。その結果、酸化窒化シリコン膜 202b の表面汚染を防ぐことが可能となり、作製する TFT の特性ばらつきや V_{th} の変動を低減させることができる。

【0032】そして金属元素による結晶化を行うため、重量換算で 10 ppm の金属元素を含む水溶液をスピコート法で塗布して金属元素を含有する層 204 を形成する。金属元素には Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、In などを用いる。この金属元素を含有する層 204 は、スピコート法の他にスパッタ法や真空蒸着法によって上記金属元素の層を 1~5 nm の厚さに形成しても良い。

【0033】そして、図 2 (B) に示す結晶化の工程では、まず 400~500℃ で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atomic% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中 550~600℃ で 1~8 時間の熱アニールを行う。以上の工程により結晶性シリコン膜 203b を得ることができる。しかし、ここまでの工程で熱アニールによって作製された結晶性シリコン膜 203b は、透過型電子顕微鏡などで微視的に観察すると複数の結晶粒から成り、その結晶粒の大きさとその配置は一様ではなくランダムなものである。また、ラマン分光法からスペクトルや、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがある。

【0034】このような結晶性シリコン膜 203b の結晶性をより高めるために、レーザーアニール法をこの段階で実施すると有効である。レーザーアニール法では結晶性シリコン膜 203b を一旦熔融状態にしてから再結晶化させるため、上記目的を達成することができる。例えば、XeCl エキシマレーザー (波長 308 nm) を用い、光学系で線状ビームを形成して、発振周波数 5~50Hz、エネルギー密度 100~500mJ/cm² として線状ビームのオーバーラップ割合を 80~98% として照射する。このようにして、結晶性シリコン膜 203b の結晶性をより高めることができる。

【0035】そして、結晶性シリコン膜 203b 上にフォトレジストパターンを形成し、ドライエッチングによって結晶性シリコン膜を島状に分割して島状半導体層 205a、206 を形成し活性層とする。ドライエッチングには CF_4 と O_2 の混合ガスを用いた。その後、プラズマ CVD 法や減圧 CVD 法、またはスパッタ法により 50~130 nm の厚さの酸化シリコン膜によるマスク層 207 を形成する。ここでは、減圧 CVD 法によって、 SiH_4 を 40SCCM、 N_2O を 400SCCM 反応室に導入し、基板温度 400℃、反応圧力 2Torr という条件で 130nm の厚さに形成した。

【0036】そしてフォトレジストマスク 208 を設け、n-ch TFT を形成する島状半導体層 205a に V_{th} を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ 程度の濃度で p 型を付与する不純物元素を添加する。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アル

ミニウム (Al)、ガリウム (Ga) など周期律表第13族の元素が知られている。ここではイオンドープ法でジボラン (B_2H_6) を用いホウ素 (B) を添加した。ホウ素 (B) 添加は必ずしも必要でなく省略しても差し支えないが、ホウ素 (B) を添加した半導体層 205b は n-ch TFT のしきい値電圧を所定の範囲内に収めるために形成することができた。

【0037】 n-ch TFT の LDD 領域を形成するために、n 型を付与する不純物元素を島状半導体層 205b に選択的に添加する。半導体に対して n 型を付与する不純物元素には、リン (P)、砒素 (As)、アンチモン (Sb) など周期律表第15族の元素が知られている。フォトレジストマスク 209 を形成し、ここではリン (P) を添加すべく、フォスフィン (PH_3) を用いたイオンドープ法を適用した。形成される不純物領域 210 におけるリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³ の範囲とする。本明細書中では、不純物領域 210 に含まれる n 型を付与する不純物元素の濃度を (n-) と表す。

【0038】 次に、マスク層 207 を純水で希釈したフッ酸などのエッチング液により除去する。そして、図3(B) と図3(C) で島状半導体層 205b に添加した不純物元素を活性化させる工程を行う。活性化は窒素雰囲気中 500~600℃ で 1~4 時間の熱アニールや、レーザーアニールなどの方法により行うことができる。また、両方の方法を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrF エキシマレーザー光 (波長 248 nm) を用い、線状ビームを形成して、発振周波数 5~50 Hz、エネルギー密度 100~500 mJ/cm² として線状ビームのオーバーラップ割合を 80~98% として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0039】 次に、ゲート絶縁膜 211 をプラズマ CVD 法により 40~150 nm の厚さでシリコンを含む絶縁膜で形成する。まず、ゲート絶縁膜の成膜に先立って、プラズマクリーニング処理を行う。プラズマクリーニング処理は、 H_2 を 200 SCCM 導入し、反応圧力 0.15 Torr、放電電力密度 0.2 W/cm²、放電周波数 60 MHz という条件でプラズマを生成して 2 分間処理する。あるいは、 H_2 を 100 SCCM、酸素を 100 SCCM 導入し、反応圧力 0.3 Torr で同様にプラズマを生成して処理してもよい。基板温度は 300~450℃ 好ましくは 400℃ とする。これにより、島状半導体層 205b、206 の表面に吸着しているボロンやリン、及び有機物などの汚染物質を取り除くことができる。また、酸素や N_2O を同時に導入することにより、被堆積表面の最表面およびその近傍が酸化され、ゲート絶縁膜との界面準位密度を低減させるなどの好ましい作用がある。ゲート絶縁膜 211 の成膜はこのプラズマクリーニング処理と連続して、前述の酸化窒化シリコン膜 202b と同様に、 SiH_4 を 4SCCM、 N_2O を 400SCCM 反応室に

導入し、基板温度 400℃、反応圧力 0.3 Torr、放電電力密度 0.41 W/cm²、放電周波数 60 MHz という条件で成膜した。

【0040】 ゲート絶縁膜 211 上には、ゲート電極を形成するために導電層を成膜する。この導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造とすることもできる。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 212 と金属膜から成る導電層 (B) 213 とを積層させた。導電層

(B) 213 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜) で形成すれば良く、導電層 (A) 212 は窒化タンタル (Ta₂N)、窒化タングステン (W₂N)、窒化チタン (TiN) 膜、窒化モリブデン (Mo₂N) などで形成する。また、導電層 (A) 212 はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) 213 は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで 20 μΩ cm 以下の比抵抗値を実現することができた。

【0041】 導電層 (A) 212 は 10~50 nm (好ましくは 20~30 nm) とし、導電層 (B) 213 は 200~400 nm (好ましくは 250~350 nm) とすれば良い。本実施例では、導電層 (A) 212 に 30 nm の厚さの TaN 膜を、導電層 (B) 213 には 350 nm の Ta 膜を用い、いずれもスパッタ法で形成した。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて成膜した。Ta はスパッタガスに Ar を用いた。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、膜の内部応力を緩和して膜の剥離を防止することができる。α 相の Ta 膜の抵抗率は 20 μΩ cm 程度でありゲート電極に使用するのに適しているが、β 相の Ta 膜の抵抗率は 180 μΩ cm 程度でありゲート電極とするには不向きであった。TaN 膜は α 相に近い結晶構造を持つので、この上に Ta 膜を形成すれば α 相の Ta 膜が容易に得ることができる。尚、図示しないが、導電層 (A) 212 の下に 2~20 nm 程度の厚さでリン (P) をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層

(A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜 211 に拡散するのを防ぐことができる。いずれにしても、導電層 (B) は抵抗率を 10~500 μΩ cm の範囲ですることが好ましい。

【0042】 次に、フォトレジストマスク 214 を形成し、導電層 (A) 212 と導電層 (B) 213 とを一括でエッチングしてゲート電極 215、216 を形成する。例えば、ドライエッチング法により CF_4 と O_2 の混合ガス、または Cl_2 を用いて 1~20 Pa の反応圧力で行うこと

ができる。ゲート電極 215、216 は、導電層 (A) から成る 215a、216a と、導電層 (B) から成る 215b、216b とが一体として形成されている。この時、n-ch TFT のゲート電極 216 は不純物領域 210 の一部と、ゲート絶縁膜 211 を介して重なるように形成する。また、ゲート電極は導電層 (B) のみで形成することも可能である (図 3 (D))。

【0043】次いで、p-ch TFT のソース領域およびドレイン領域とする不純物領域 218 を形成する。ここでは、ゲート電極 215 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する (図 4 (A))。このとき、n-ch TFT を形成する島状半導体層はフォトレジストマスク 217 で被覆しておく。そして、不純物領域 218 はジボラン (B_2H_6) を用いたイオンドーピング法で形成する。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域 218 に含まれる p 型を付与する不純物元素の濃度を (p+) と表す。

【0044】次に、n-ch TFT のソース領域またはドレイン領域を形成する不純物領域 219 の形成を行った。ここでは、フォスフィン (PH_3) を用いたイオンドーピング法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 219 に含まれる n 型を付与する不純物元素の濃度を (n+) と表す。不純物領域 218 にも同時にリン (P) が添加されるが、既に前の工程で添加されたボロン (B) 濃度と比較して不純物領域 218 に添加されたリン (P) 濃度はその $1/2 \sim 1/3$ 程度なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった (図 4 (B))。

【0045】その後、酸化窒化シリコン膜を成膜して層間絶縁層 220 を形成する (図 4 (C))。つまり、 SiH_4 を 27 SCCM、 N_2O を 900 SCCM 反応室に導入し、基板温度を $400^\circ C$ 、反応圧力 1.2 Torr、放電電力密度 0.14 W/cm^2 、放電周波数 13.56 MHz で、 $500 \sim 1500 \text{ nm}$ (好ましくは $600 \sim 800 \text{ nm}$) の厚さで形成する。

【0046】そして、層間絶縁層 220 に TFT のソース領域またはドレイン領域に達するコンタクトホールを形成し、周期表の 15 族に属する不純物元素を含有したシリコン膜を成膜する。ここでは、周期表の 15 族に属する不純物元素としてリンを選択し、リンを $1 \times 10^{19} \text{ atoms/cm}^3$ 以上含んだシリコン膜を成膜して、ゲッタリング層 221 を形成する。形成法には、プラズマ CVD 法、減圧 CVD 法、スパッタ法のいずれを用いても良いし、非晶質シリコン膜、微結晶シリコン膜、結晶性シリコン膜のいずれでもよい。また、p-ch TFT では半導体層とのコンタクト部で半導体層の不純物領域とゲッタリング層 221 が接することにより pn 接合が形成される。しかし、コンタクト部での半導体層の不純物領域の不純物濃度が高

いことから、ゲッタリング層 221 に含有させるリン濃度を高めることによりトンネル接合となり低いコンタクト抵抗が得られる。そのため、コンタクト部で支障が生じるということはない (図 4 (D))。

【0047】その後、熱活性化を行う。熱活性化条件は、 $400 \sim 800^\circ C$ (好ましくは $500 \sim 600^\circ C$) で行う。この熱活性化により、ゲッタリング層 221 がソースコンタクト及びドレインコンタクトを通じてゲッタリングサイトとして機能し、半導体層 205、206 に残留する結晶化を助長した金属元素をゲッタリングし半導体層中の金属元素濃度を検出限界以下あるいは TFT の電気的特性に影響を及ぼさない程度に低減することができる。このゲッタリング層 221 は基板表面全体に存在するため、基板表面全体がゲッタリングサイトとして機能し、高いゲッタリング効率を得ることができる。また、この熱活性化工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する役割も担う。熱活性化工程は具体的にはファーンেসアニール炉を用いれば良い。

【0048】活性化の工程の後、さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 500^\circ C$ で $1 \sim 12$ 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0049】その後、図 5 の (A) にあるように第 2 の導電層 222 を形成する。この第 2 の導電層は、ヒロックや酸化防止などのために積層膜としても良い。そして、図 5 の (B) のように、第 2 の導電層 222 をソース配線 223、226、ドレイン配線 224、225 の一部として機能させるためにパターニングした後、これをマスクとしてセルフアラインでゲッタリング層 221 をエッチングし、第 2 の導電層 222 と共にゲッタリング層 221 もソース配線 223、226、ドレイン配線 224、225 の一部として機能させる。

【0050】次に、パッシベーション膜 227 として、窒化シリコン膜または酸化窒化シリコン膜を $50 \sim 500 \text{ nm}$ (代表的には $100 \sim 300 \text{ nm}$) の厚さで形成する。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られる。例えば、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 500^\circ C$ で $1 \sim 12$ 時間の熱アニールを行うと良い。

【0051】こうして基板 201 上に、n-ch TFT 236 と p-ch TFT 235 とを完成させることができた。p-ch TFT 235 には、島状半導体層 206 にチャネル形成領域 229、ソース領域 228、ドレイン領域 230 を有している。n-ch TFT 236 には、島状半導体層 205 にチャネル形成領域 233、ゲート電極 216 と重なる LDD 領域 232 (以降、このような LDD 領域を Lov と記す)、

ソース領域234、ドレイン領域231を有している。このLov領域のチャネル長方向の長さは、チャネル長3~8 μ mに対して、0.5~3.0 μ m (好ましくは1.0~1.5 μ m)とした。本実施例ではそれぞれのTFTをシングルゲート構造としたが、ダブルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0052】上記の工程を経て、CMOS回路を形成するのに必要なn-ch TFTとp-ch TFTを同一基板上に作製することができる。

【0053】[実施例2] 逆スタガー構造のTFTを作製する際に本発明のゲッターリング法を適用した実施例について図6~図9を用いて説明する。

【0054】まず、基板301としてガラス基板、例えばコーニング社の#1737基板を用意した。そして、基板301上にゲート電極302を形成した。ここでは、スパッタ法を用いて、タンタル(Ta)膜を200 nmの厚さに形成した。また、ゲート電極302を、窒化タンタル(TaN)膜(膜厚50 nm)とTa膜(膜厚250 nm)の2層構造としても良い。Ta膜はスパッタ法でArガスを用い、Taをターゲットとして形成するが、ArガスにXeガスを加えた混合ガスでスパッタすると内部応力の絶対値を 2×10^8 Pa以下にすることができる(図6(A))。

【0055】そして、ゲート絶縁膜303、非晶質半導体層として非晶質シリコン膜304を順次大気開放しないで連続形成した。ゲート絶縁膜303は、プラズマCVD法を用い窒素リッチな酸化窒化シリコン膜303aを25 nmの厚さに形成し、その上に303aよりも酸素リッチな酸化窒化シリコン膜303bを125 nmの厚さに形成する。また、非晶質シリコン膜304もプラズマCVD法を用い、20~100 nm、好ましくは40~75 nmの厚さで形成した。そして、実施例1で説明した結晶化と同様にして結晶化を助長する金属元素を用いることによって行う。まず、スピコート法、スパッタ法や真空蒸着法などにより金属元素を含有する層305を形成する(図6(B))。

【0056】その後、ファーネスアニール炉を用い450~550℃で1時間の熱アニールを行うことによって、非晶質シリコン膜304から水素を放出させ、残存する水素量を5 atomic%以下とさせる。そして、ファーネスアニール炉を用い、窒素雰囲気中550~600℃で1~8時間の熱アニールを行い、結晶性シリコン膜306を得ることができる(図6(C))。ここで、実施例1と同様、局所的に残存している非晶質領域を低減させるためレーザーアニール法を行うと有効に作用し結晶性を高めることができる。

【0057】次に、こうして形成された結晶性シリコン膜306に密接してチャネル保護絶縁膜とするための酸化窒化シリコン膜307を200 nm形成した。その後、裏面からの露光を用いたパターンニング法により、酸化窒化

シリコン307に接したレジストマスク308を形成する。ここでは、ゲート電極302がマスクとなり、自己整合的にレジストマスク308を形成することができる。これは図示したようにレジストマスクの大きさは、光の回り込みによって、わずかにゲート電極の幅より小さくなった(図6(D))。

【0058】このレジストマスク308を用いて酸化窒化シリコン膜307をエッチングして、チャネル保護絶縁膜309を形成した後、レジストマスク308は除去した。この工程により、チャネル保護絶縁膜309と接する領域以外の結晶性シリコン膜306の表面を露呈させた。このチャネル保護絶縁膜309は、後の不純物添加の工程でチャネル領域に不純物が添加されることを防ぐ役目を果たすと共に、結晶性シリコン膜の界面準位密度を低減する効果があった(図7(A))。

【0059】次いで、フォトリソ法を用いたパターンニングによって、n-ch TFTの一部とp-ch TFTの領域を覆うレジストマスク310を形成し、結晶性シリコン膜306の表面が露呈している領域にn型を付与する不純物元素を添加する工程を行った。そして、n⁺領域311aを形成した。ここではイオンドープ法でフォスフィン(PH₃)を用い、ドーズ量 5×10^{14} atoms/cm²、加速電圧10 kVとしてリン(P)を添加した。また、上記レジストマスク310のパターンは実施者が適宜設定することによりn⁺領域の幅が決定され、所望の幅を有するn⁺型領域、およびチャネル形成領域を形成することを可能としている(図7(B))。

【0060】レジストマスク310を除去した後、保護絶縁膜312を形成した。この膜も酸化窒化シリコン膜307と同様な条件で50 nmの厚さに形成した(図7(C))。次いで、保護絶縁膜312が表面に設けられた結晶性シリコン膜にn型を付与する不純物元素を添加する工程を行い、n⁺型領域313を形成した。但し、保護絶縁膜312を介してその下の結晶性シリコン膜に不純物を添加するために、保護絶縁膜312の厚さを考慮に入れ、適宜条件を設定する必要がある。ここでは、ドーズ量 3×10^{13} atoms/cm²、加速電圧60 kVとした。こうして形成されるn⁺領域313はLDD領域として機能させる(図7(D))。

【0061】次いで、n-ch TFTを覆うレジストマスク315を形成し、p-ch TFTが形成される領域にp型を付与する不純物元素を添加する工程を行った。ここでは、イオンドープ法でジボラン(B₂H₆)を用い、ボロン(B)を添加した。ドーズ量は 4×10^{15} atoms/cm²、加速電圧30 kVとしてp⁺領域を形成した(図8(A))。その後、チャネル保護絶縁膜309と保護絶縁膜312をそのまま残し、公知のパターンニング技術により結晶性シリコン膜を所望の形状にエッチングした(図8(B))。

【0062】以上の工程を経て、n-ch TFTのソース領域316、ドレイン領域317、LDD領域318、31

9、チャネル形成領域 320 が形成され、p-ch TFT のソース領域 322、ドレイン領域 323、チャネル形成領域 321 が形成された。次いで、n-ch TFT および p-ch TFT を覆って第 1 の層間絶縁膜 325 を 100~500 nm の厚さで形成した。(図 8 (C))。そして、さらに第 2 の層間絶縁膜 326 も 100~500 nm の厚さに形成した(図 8 (D))。

【0063】第 1 の層間絶縁膜 325 と第 2 の層間絶縁膜 326 はその後、所定のレジストマスクを形成して、エッチング処理によりそれぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールを形成した。そして、実施例 1 と同様、周期表の 15 族に属する不純物元素としてリンを選択し、リンを 1×10^{19} atoms/cm³ 以上含んだシリコン膜を成膜し、ゲッタリング層 327 を形成する。形成法には、プラズマ CVD 法、減圧 CVD 法、スパッタ法のいずれを用いても良いし、非晶質シリコン膜、微結晶シリコン膜、結晶性シリコン膜のいずれでも良い。その後、実施例 1 と同様に熱活性化を行い結晶性シリコン膜 306 中に残存する金属元素を高効率でゲッタリングする。熱活性化条件は、400~800℃(好ましくは 500~600℃)で行う。また、この熱活性化工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する役割を担い、ゲッタリング層 327 を非晶質シリコン膜、微結晶シリコン膜として形成していた場合、ゲッタリング層 327 は結晶性シリコン膜となる。活性化の工程の後、さらに、3~100%の水素を含む雰囲気中で、300~500℃で 1~12 時間の熱処理を行い、島状半導体層を水素化する工程を半導体層のダングリングボンドを終端するために加えても良い。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い(図 9 (A))。

【0064】その後、第 2 の導電層を形成する。この第 2 の導電層はヒロックや酸化防止などのために積層膜として用いても良い。そして、第 2 の導電層をソース配線 328、330、ドレイン配線 329 の一部として機能させるためにパターンニングした後、これをマスクとしてセルフアラインでゲッタリング層 327 をエッチングし、第 2 の導電層と共にゲッタリング層 327 もソース配線 328、330、ドレイン配線 329 の一部として機能させる(図 9 (B))。

【0065】さらに、パッシベーション膜 331 を形成する工程を行った。パッシベーション膜はプラズマ CVD 法で SiH₄、N₂O、NH₃ から形成される酸化窒化シリコン膜、または SiH₄、N₂、NH₃ から作製される窒化シリコン膜で形成する。まず、膜の形成に先立って N₂O、N₂、NH₃ 等を導入してプラズマ水素化処理を実施した。ここでプラズマ化されることにより気相中で生成された水素は第 2 の層間絶縁膜中にも供給され、基板を 200~500℃に加熱しておけば、水素を第 1 の層間絶縁膜やさらにその下層側にも拡散させることができ、2 回目の水素化の工程

とすることができた。パッシベーション膜の作製条件は特に限定されるものではないが、緻密な膜とすることが望ましい。最後に 3 回目の水素化の工程を水素または窒素を含む雰囲気中で 300~550℃の熱アニールを 1~12 時間行った。このとき水素は、パッシベーション膜 331 から第 2 の層間絶縁膜 326 へ、第 2 の層間絶縁膜 326 から第 1 の層間絶縁膜 325 へ、そして第 1 の層間絶縁膜 325 から結晶性シリコン膜へと水素が拡散して結晶性シリコン膜の水素化を効果的に実現させることができる。水素は膜中から気相中へも放出されるが、パッシベーション膜を緻密な膜で形成しておけばある程度それを防止できたとし、雰囲気中に水素を供給しておけばそれを補うこともできた。

【0066】以上の工程により、p-ch TFT と n-ch TFT を同一基板上に逆スタガー型の構造で形成することができる。

【0067】[実施例 3] 画素部の画素 TFT と画素部の周辺に設けられる駆動回路の TFT を同一基板上に作製する方法について図 10~14 を用いて説明する。但し、説明の簡略化のため駆動回路においてはシフトレジスタ回路、バッファ回路などの基本回路である CMOS 回路とサンプリング回路を形成する n-ch TFT とを図示することに

する。
【0068】図 10 (A) に示すように、401 の絶縁性基板上に下地絶縁膜を形成する。401 には、例えばコーニング社の 1737 ガラス基板を用いる。このガラス基板には、基板からの不純物拡散防止のために、SiH₄、N₂O、NH₃ から作製される酸化窒化シリコン膜 402 a を 50 nm、SiH₄、N₂O から形成される酸化窒化シリコン膜 402 b を 100 nm 成膜して下地絶縁膜 402 を形成した。

【0069】次に、25~80 nm (好ましくは 30~60 nm) の厚さで非晶質半導体層として非晶質シリコン膜 403 a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。また、下地膜 402 と非晶質シリコン膜 403 a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜 402 を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキや V_{th} の変動を低減させることができる。

【0070】そして、実施例 1 と同様、金属元素を用いて結晶化するため、重量換算で 10 ppm の金属元素を含む水溶液をスピンコート法で塗布して金属元素を含有する層(特に図示していない)を非晶質シリコン膜 403 a 上に形成した。金属元素には Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、In などを用いる。結晶化の工程では、まず 400~500℃で 1 時間程度の熱アニールを行い、非晶質シリコン膜の含有水素量を 5 atomic% 以

下にする。これにより、膜表面の荒れを防ぐことができる。プラズマCVD法にて非晶質シリコン膜を形成する場合、反応ガスに SiH_4 とArを用いて成膜時の基板温度を300~400℃にして形成すると、非晶質シリコン膜の含有水素濃度を5atonic%以下にすることもできるため、このような場合には脱水素処理は不要となる。そして、ファーンズアニール炉を用い、窒素雰囲気中550~600℃で1~8時間の熱アニールを行う以上の工程までで結晶性シリコン膜を得ることができる。この状態で表面に残存する金属元素の濃度は $3 \times 10^{10} \sim 2 \times 10^{11} \text{ atoms/cm}^2$ であった。その後、結晶化率を高めるためにレーザーアニール法を併用しても良い。こうして、結晶性シリコン膜からなる結晶性半導体層403bを形成した。(図10

(B))。

【0071】こうして形成された結晶性シリコン膜を島状にパターンニングし、ドライエッチングによりCMOS回路のp-ch TFTの活性層404、n-ch TFTの活性層405、サンプリング回路を形成するn-ch TFTの活性層406、画素部TFTの活性層407を形成した。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50~100 nmの厚さの酸化シリコン膜によるマスク層408を形成する。例えば、減圧CVD法で SiH_4 と O_2 との混合ガスを用い、266 Paにおいて400℃に加熱して酸化シリコン膜を形成する(図10(C))。

【0072】そしてチャネルドープ工程を行う。まず、フォトレジストマスク409を設け、n-ch TFTを形成する島状半導体層405~407の全面に V_{th} を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層410~412はn-ch TFTの V_{th} を所定の範囲内に収めるために形成することが好ましかった。(図10(D))。

【0073】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層410、411に選択的に添加する。そのため、あらかじめフォトレジストマスク413~416を形成した。ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成されたn不純物領域417、418のリン(P)濃度は $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ とする。また、不純物領域419は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図11(A))

【0074】次に、マスク層408をフッ酸などにより除去して、図10(D)と図11(A)の工程で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中500~600℃で1~4時間の熱アニールや、レーザ

ーアニールの方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248 nm)を用い、線状ビームを形成して、発振周波数5~50 Hz、エネルギー密度100~500 mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0075】そして、ゲート絶縁膜420をプラズマCVD法で50~150 nmの厚さで形成する。ゲート絶縁膜の成膜前に例えば水素などを用いてプラズマクリーニングを行うとゲート絶縁膜420と島状半導体層404、410~412との界面が清浄に保たれ、TFTの電気的特性に影響を及ぼす界面単位密度を低減させることができる。酸素や N_2O を加えても島状半導体層404、410~412の最表面やその近傍を酸化させることによって界面単位密度をより低減させることができる。そして、プラズマクリーニングと連続してゲート絶縁膜420を成膜する(図11(B))。

【0076】次に、ゲート電極を形成するために第1の導電層を成膜する。本実施例では導電性の窒化物金属膜から成る導電層(A)421と金属膜から成る導電層(B)422とを積層させた。ここでは、Taをターゲットとしたスパッタ法で導電層(B)422をタンタル(Ta)で250 nmの厚さに形成し、導電層(A)421は窒化タンタル(TaN)で50 nmの厚さに形成した(図11(C))。

【0077】次に、フォトレジストマスク423~427を形成し、導電層(A)421と導電層(B)422とを一括でエッチングしてゲート電極428~431と容量配線432を形成する。ゲート電極428~431と容量配線432は、導電層(A)から成る428a~432aと、導電層(B)から成る428b~432bとが一体として形成されている。この時、駆動回路に形成するゲート電極429、430は不純物領域417、418の一部と、ゲート絶縁膜420を介して重なるように形成する(図11(D))。

【0078】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極428をマスクとして、自己整合的に不純物領域を形成する。nチャネル型TFTが形成される領域はフォトレジストマスク433で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドープ法でp不純物領域434を $1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で形成した(図12(A))。

【0079】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク435~437を形成し、

n型を付与する不純物元素を添加して不純物領域438～441を形成した。これは、フォスフィン (PH₃) を用いたイオンドーピング法で行い、n⁺不純物領域438～441の(P)濃度を 5×10^{20} atoms/cm³とした(図12(B))。

【0080】そして、画素部のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物添加の工程を行った。ここではゲート電極431をマスクとして自己整合的にn型を付与する不純物元素をイオンドーピング法で添加した。添加するリン(P)の濃度は 5×10^{16} atoms/cm³とし、図11(A)および図12(A)と図12

(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的にはn⁻不純物領域443、444のみが形成される。また、不純物領域442にはすでに前工程で添加されたボロン(B)が含まれているが、それに比してかなりの低濃度でリン(P)が添加されるので、添加されたPの影響は考えなくて良く、TFTの特性に何ら影響を与えることはなかった(図12(C))。

【0081】次に、ゲート配線とする第2の導電層を形成する。この第2の導電層は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)で形成する。いずれにしても、第2の導電層の抵抗率は0.1～10μΩcm程度とする。さらに、チタン(Ti)やタンタル(Ta)、タングステン(W)、モリブデン(Mo)から成る導電層(E)を積層形成すると良い。本実施例では、チタン(Ti)を0.1～2重量%含むアルミニウム(Al)膜を導電層(D)445とし、チタン(Ti)膜を導電層(E)446として形成した。導電層(D)445は200～400nm(好ましくは250～350nm)とすれば良く、導電層(E)446は50～200nm(好ましくは100～150nm)で形成すれば良い(図12(D))。

【0082】そして、ゲート電極に接続するゲート配線を形成するために導電層(E)446と導電層(D)445とをエッチング処理して、ゲート配線447、448と容量配線449を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた(図13(A))。

【0083】第1の層間絶縁膜450は酸化窒化シリコン膜を500～1500nmの厚さで形成した。その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、実施例1、2と同様、リンを 1×10^{19} atoms/cm³以上含むシリコン膜を成膜して、ゲッタリング層451を形成した。形成法には、プラズマCVD法、減圧CVD法、スパッタ法のいずれを用いても良いし、非晶質シリコン膜、微結晶シリコン膜、結晶性シリコン膜のいずれでも良い。その後、熱

活性化を行い、ソースコンタクト及びドレインコンタクトを通じて島状半導体層404、410～412中に残存する金属元素をゲッタリングする。熱活性化条件は、400～800℃(好ましくは500～600℃)で行う。この熱活性化工程により、同時にn型またはp型を付与する不純物元素を活性化することができる。そして次に島状半導体層404、410～412中のダングリングボンドを終端させる水素化工程を加えても良い(図13(B))。

【0084】その後、ソース、ドレイン配線の一部を担う第3の導電層を形成する。この第3の導電層はヒロックや酸化防止のために積層膜としても良い。この導電層をソース配線452～455、ドレイン配線456～459の一部として機能させるためにパターニングした後、これをマスクとしてセルフアラインでゲッタリング層451をエッチングし、第3の導電層と共にゲッタリング層451もソース配線452～455、ドレイン配線456～459の一部として機能させる。

【0085】次に、パッシベーション膜460として、窒化シリコン膜、酸化シリコン膜、または酸化窒化シリコン膜を50～500nm代表的には100～300nmの厚さで形成する。いずれにしてもパッシベーション膜は緻密な膜となるように形成して外部からの水分を遮断し、また、この後行う2回目の水素化の工程においてキャップ層としての機能を付加させておく。例えば、パッシベーション膜460を緻密な窒化シリコン膜で200nmの厚さに形成し、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られる。これは、3～100%の水素を含む雰囲気中、或いは窒素雰囲気中で、300～500℃で1～12時間の熱処理を行うと良い。勿論、水素化処理はこのような方法の他に、前述の窒化シリコン膜を成膜する前に行うあるいはプラズマ水素化法を用いても同様の効果が得られる。さらに、このプラズマ水素化と、上述の水素化を併用しても良い。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜460に開口部を形成しておいても良い。(図13(C))

【0086】その後、有機樹脂からなる第2の層間絶縁膜461を1.0～1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜461にドレイン配線459に達するコンタクトホールを形成し、画素電極462、463を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム、スズ(ITO)膜を100nmの厚さにスパッタ法で形成

した。(図14)

【0087】以上のような工程を経て、ここでは画素部の画素TFTと、画素部の周辺に設けられる駆動回路のTFTを同一基板上に作製することができる。

【0088】駆動回路のCMOS回路のpチャネル型TFT501には、島状半導体層404にチャネル形成領域506、ソース領域507、ドレイン領域508を有している。同じくCMOS回路のnチャネル型TFT502には、島状半導体層410にチャネル形成領域509、ゲート電極429と重なるLDD領域(Lov)510、ソース領域511、ドレイン領域512を有している。このLov領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.0~1.5 μ mとした。サンプリング回路のnチャネル型TFT503には、島状半導体層411にチャネル形成領域513、Lov領域とLoff領域(ゲート電極と重ならないLDD領域であり、以降Loff領域と記す)514、515、ソース領域またはドレイン領域516、517とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0 μ m、好ましくは0.5~1.5 μ mである。画素TFT504には、島状半導体層412にチャネル形成領域518、519、Loff領域520~523、ソースまたはドレイン領域524~526を有している。Loff領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.5~2.5 μ mである。さらに、容量配線432、449と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT504のドレイン領域526に接続し、n型を付与する不純物元素が添加された半導体層527とから保持容量505が形成されている。図14では画素TFT504をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0089】【実施例4】実施例1~3で用いた非晶質シリコン膜の結晶化を助長する金属元素の別な添加方法について図15を用いて説明する。

【0090】まず、図15(A)にあるように、実施例1~3と同様に基板601上に下地絶縁膜602、非晶質シリコン膜603を形成する。次に、酸化シリコン膜から成るマスク絶縁膜604を形成し、金属元素を選択的に添加するための開口部605を形成する。

【0091】この状態で酸素雰囲気中でUV光を照射して非晶質シリコン膜603上に薄い酸化膜を形成する。次にNiを100ppm含有したニッケル酢酸溶液をスピンコート法により塗布し、開口部605で露出した非晶質シリコン膜603の表面にごく薄いNi含有層606を形成することができる(図15(A))。

【0092】そして、窒素雰囲気中で600℃、8hrsの熱アニールを行い、非晶質シリコン膜603を結晶化する。結晶化はNiが選択的に添加されるマスク絶縁膜604の開口部605から開始し、Niが添加されたこの領域から膜面と平行な方向(横方向)に進行する。これによ

って結晶化した領域を横成長領域という。非晶質シリコン膜603には、Ni添加領域607、横成長領域(結晶性シリコン膜)608、横成長が及ばなかった領域(非晶質シリコン膜)609が存在する。TFTの活性層とする場合、横成長領域608の部分を島状にパターンニングして残すことにより適用する。

【0093】以上のようにして結晶性シリコン膜を得た。その後は、実施例1~3と同様にしてTFTに適用することができる。

【0094】【実施例5】実施例3で作製したような基板をアクティブマトリクス基板というが、本実施例では、このアクティブマトリクス基板からアクティブマトリクス型液晶表示装置を作製する工程及びその回路配置の例について図16、17を用いて説明する。アクティブマトリクス基板の作製方法については既に実施例3で説明したため、ここでは省略する。

【0095】図16に示したように、図14の状態のアクティブマトリクス基板に対し、配向膜701を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板702には、遮光膜703、透明導電膜704および配向膜705を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料706を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図16に示すアクティブマトリクス型液晶表示装置が完成する。

【0096】図17に、図16で示したようなアクティブマトリクス基板の回路配置について簡略化して示した。801は画素部を示し、ゲート配線806とソース配線807がマトリクス状に交差している。その周辺の802、803はそれぞれ走査信号駆動回路、画像信号駆動回路を示している。

【0097】ここで示した回路配置は一例であり、これに限定するものではなく、実施者が適宜設定すれば良い。

【0098】【実施例6】本発明を実施して作製されたアクティブマトリクス基板は様々な電気光学装置、例えば、有機EL表示装置(電界を加えることで発光が得られる有機化合物を含む膜を含む発光装置)、液晶表示装置にも適用可能である。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーションシステムなどが上げられる。そ

これらの一例を図 18～20 に示す。

【0099】図 18 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 1001、画像入力部 1002、表示装置 1003、キーボード 1004 で構成される。本発明の液晶表示装置や有機 EL 表示装置は表示装置 1003 に適用できる。

【0100】図 18 (B) はビデオカメラであり、本体 1101、表示装置 1102、音声入力部 1103、操作スイッチ 1104、バッテリー 1105、受像部 1106 で構成される。本発明液晶表示装置や有機 EL 表示装置は表示装置 1102 に適用することができる。

【0101】図 18 (C) は携帯情報端末であり、本体 1201、画像入力部 1202、受像部 1203、操作スイッチ 1204、表示装置 1205 で構成される。本発明液晶表示装置や有機 EL 表示装置は表示装置 1205 に適用することができる。

【0102】図 18 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 1301、表示装置 1302、スピーカー部 1303、記録媒体 1304、操作スイッチ 1305 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明液晶表示装置や有機 EL 表示装置は表示装置 1302 に好適に利用することができる。

【0103】図 19 (A) はデジタルカメラであり、本体 1401、表示装置 1402、接眼部 1403、操作スイッチ 1404、受像部（図示しない）で構成される。本発明液晶表示装置や有機 EL 表示装置は表示装置 1402 に適用することができる。

【0104】図 19 (B) は携帯電話であり、本体 1501、音声出力部 1502、音声入力部 1503、表示部 1504、操作スイッチ 1505、アンテナ 1506 等を含む。本願発明を音声出力部 1502、音声入力部 1503、表示部 1504 やその他の信号制御回路に適用することができる。

【0105】図 19 (C) はディスプレイであり、本体 1601、支持台 1602、表示部 1603 等を含む。本発明は表示部 1603 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0106】図 20 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2001、スクリーン 2002 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 20 (B) はリア型プロジェクターであり、本体 2101、光源光学系および表示装置 2102、ミラー 2103、スクリーン 2104 で構成される。本発明は表示装置やその他の

信号制御回路に適用することができる。

【0107】なお、図 20 (C) に、図 20 (A) および図 20 (B) における光源光学系および表示装置 2001、2102 の構造の一例を示す。光源光学系および表示装置 2001、2102 は光源光学系 2201、ミラー 2202、2204～2206、ダイクロイックミラー 2203、ビームスプリッター 2207、液晶表示装置 2208、位相差板 2209、投射光学系 2210 で構成される。投射光学系 2210 は複数の光学レンズで構成される。図 20 (C) では液晶表示装置 2208 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 20 (C) 中、矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IR フィルムなどを設けても良い。また、図 20 (D) は図 20 (C) における光源光学系 2201 の構造の一例を示した図である。本実施例では、光源光学系 2201 はリフレクター 2301、光源 2302、レンズアレイ 2303、2304、偏光変換素子 2305、集光レンズ 2306 で構成される。尚、図 20 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0108】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態 1～3 の結晶化技術を用い、実施例 1～6 のどのような組み合わせから成る構成を用いても実現することができる。

【0109】

【発明の効果】ソースコンタクト及びドレインコンタクト部にリンを含有したシリコン膜を形成し、これをゲッタリングサイトとすることによって、非晶質シリコン膜の結晶化を助長した金属元素を効果的に除去または低減し TFT の電気的特性の安定性や信頼性を向上することができると共に、従来ゲッタリングに要した酸化膜などのマスク層の形成工程及び酸化膜のパターニング工程を省くことができるため、生産性の向上につながる。また、ドーピングによるゲッタリングでは、ドーピングに付随してデバイス領域の結晶構造が損傷を受けるとともに p-ch TFT でソース、ドレイン抵抗を低下させるためにさらなるドーピング工程を要するが、本発明による方法ではこういった損傷を被ることなく良好にゲッタリングを行うことが可能となる。

【図面の簡単な説明】

【図 1】 本発明の構成例を示す図。

【図 2】 n-ch、p-ch TFT を同一基板上に作製する工程を示す図。

【図 3】 n-ch、p-ch TFT を同一基板上に作製する工

程を示す図。

【図4】 n-ch、p-ch TFTを同一基板上に作製する工程を示す図。

【図5】 n-ch、p-ch TFTを同一基板上に作製する工程を示す図。

【図6】 逆スタガー型のn-ch、p-ch TFTを同一基板上に作製する工程を示す図。

【図7】 逆スタガー型のn-ch、p-ch TFTを同一基板上に作製する工程を示す図。

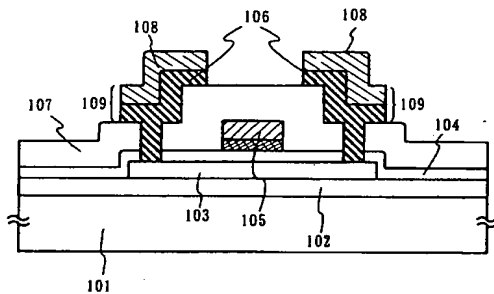
【図8】 逆スタガー型のn-ch、p-ch TFTを同一基板上に作製する工程を示す図。

【図9】 逆スタガー型のn-ch、p-ch TFTを同一基板上に作製する工程を示す図。

【図10】 画素TFT、駆動回路のTFTを同一基板上に作製する工程を示す図。

【図11】 画素TFT、駆動回路のTFTを同一基板上に作

【図1】



- 101: ガラス基板
- 102: 下地絶縁膜
- 103: 結晶性シリコン膜
- 104: ゲート絶縁膜
- 105: ゲート電極
- 106: 不純物元素を含むシリコン膜
- 107: 層間絶縁膜
- 108: 導電膜
- 109: ソース電極またはドレイン電極

製する工程を示す図。

【図12】 画素TFT、駆動回路のTFTを同一基板上に作製する工程を示す図。

【図13】 画素TFT、駆動回路のTFTを同一基板上に作製する工程を示す図。

【図14】 画素TFT、駆動回路のTFTを同一基板上に作製する工程を示す図。

【図15】 結晶化を促進する金属元素の添加法を示す図。

10 【図16】 アクティブマトリクス型液晶表示装置の構造を示す図。

【図17】 アクティブマトリクス型液晶表示装置の回路配置を示す図。

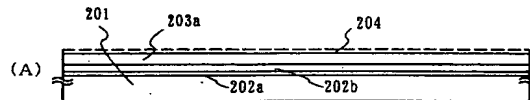
【図18】 半導体装置の一例を示す図

【図19】 半導体装置の一例を示す図

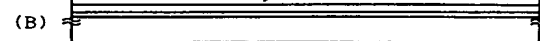
【図20】 プロジェクターの一例を示す図

【図2】

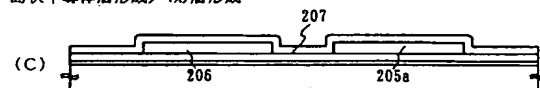
下地絶縁層、非晶質半導体層の形成



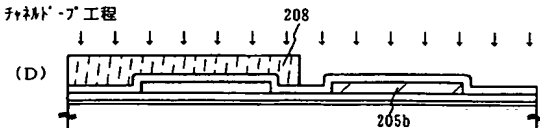
結晶化の工程



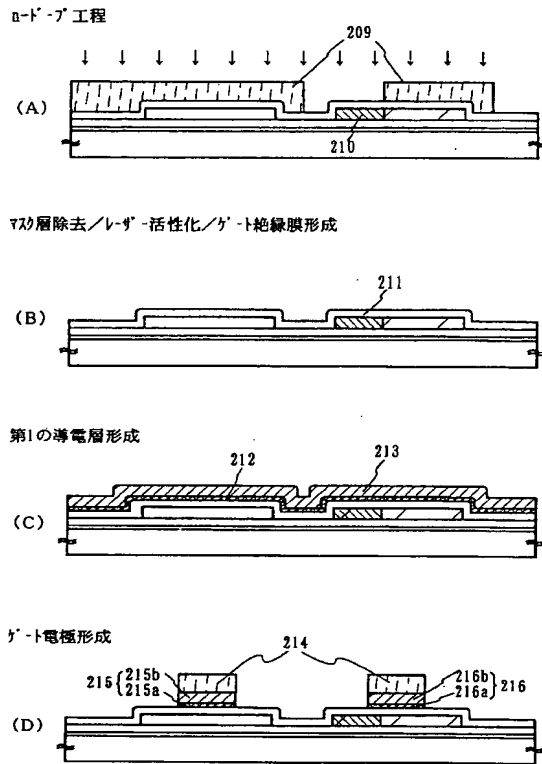
島状半導体層形成/マスク層形成



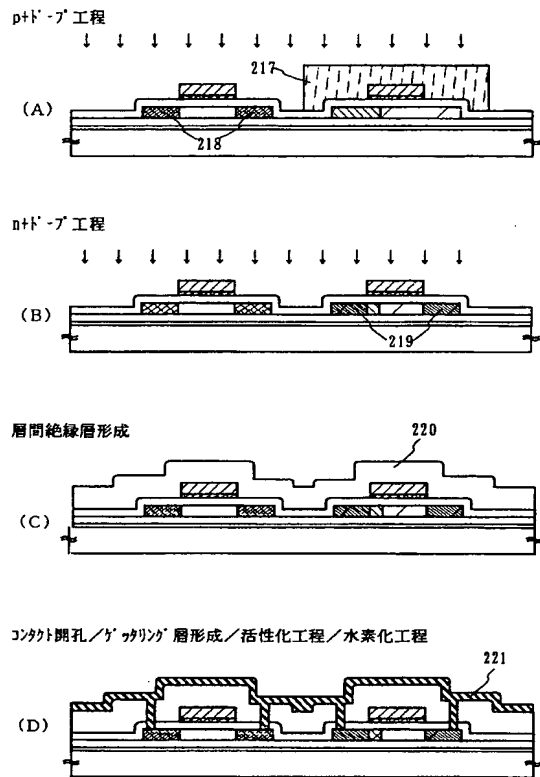
チャネルドープ工程



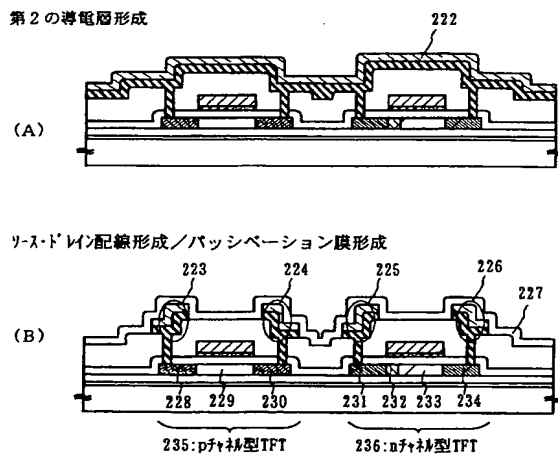
【図 3】



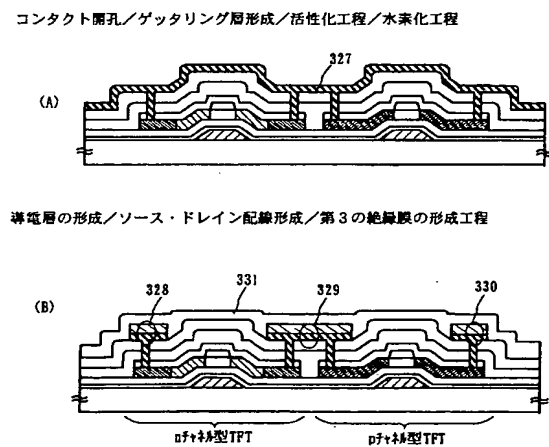
【図 4】



【図 5】

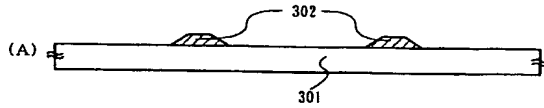


【図 9】

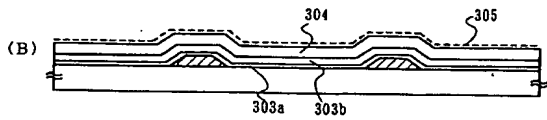


【図6】

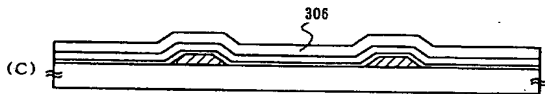
ゲート電極の形成



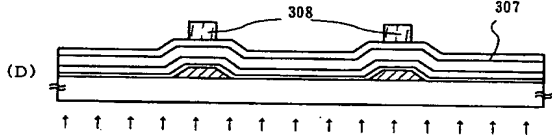
ゲート絶縁膜/非晶質半導体層の形成



結晶化の工程

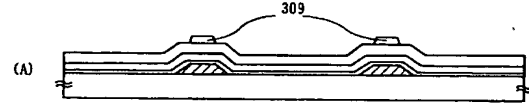


裏面露光工程

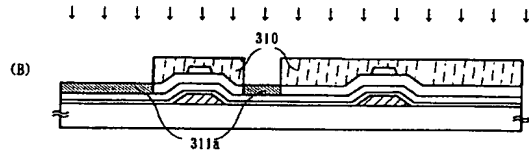


【図7】

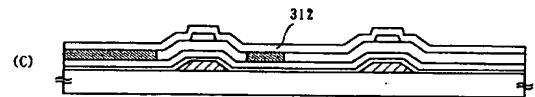
エッチング工程



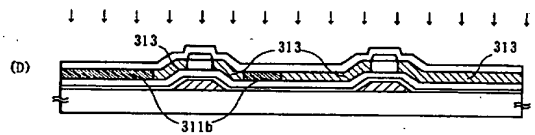
ドーピング工程 (n+領域の形成工程)



保護絶縁膜の形成工程

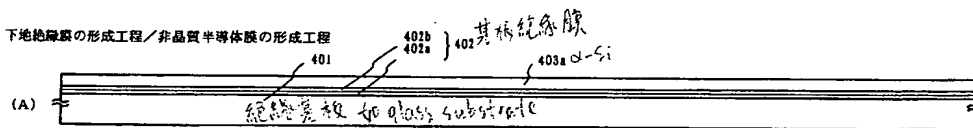


ドーピング工程 (p-領域の形成)

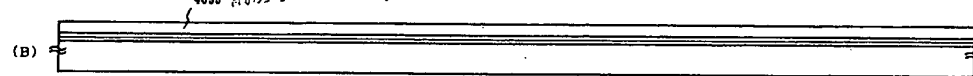


【図10】

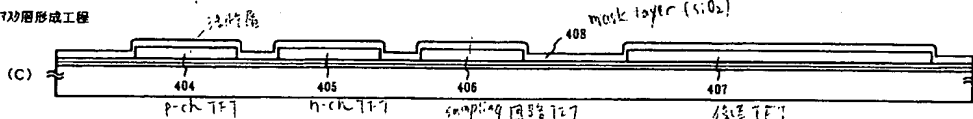
下地絶縁膜の形成工程/非晶質半導体膜の形成工程



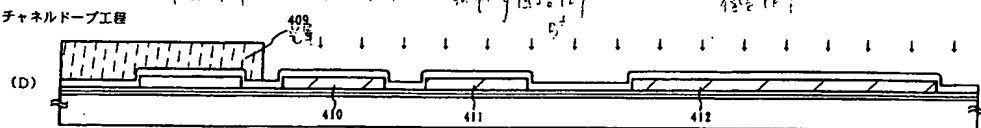
結晶化の工程



1st層形成工程

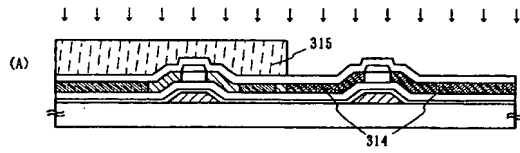


チャネルドープ工程

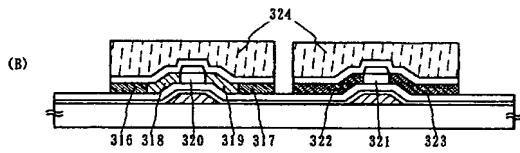


【図 8】

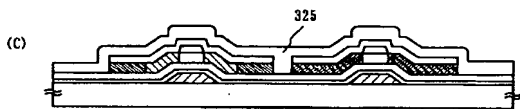
ドーピング工程 (p+領域の形成)



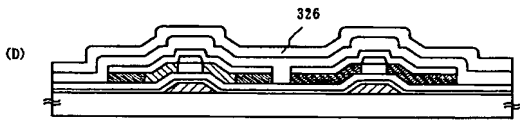
パターンニング工程



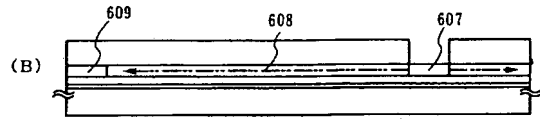
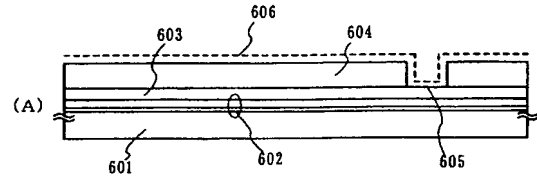
第1の絶縁膜の形成工程



第2の絶縁膜の形成工程

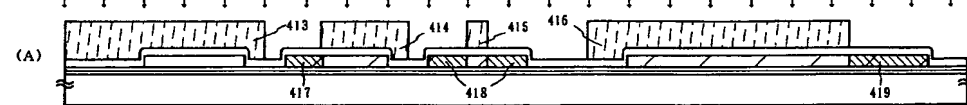


【図 15】

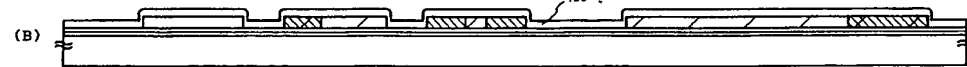


【図 11】

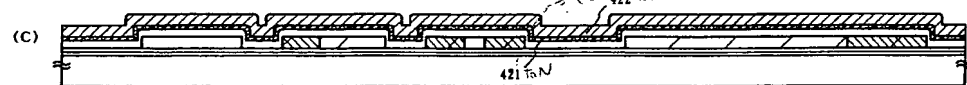
n-ドーピング工程



n+層除去工程/n+層活性化工程/n+絶縁膜成膜工程



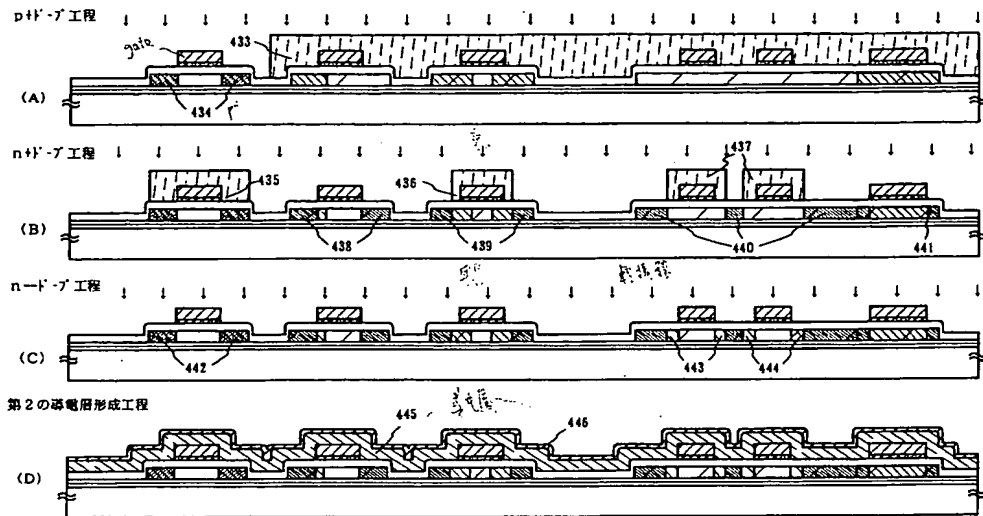
第1の導電層形成工程



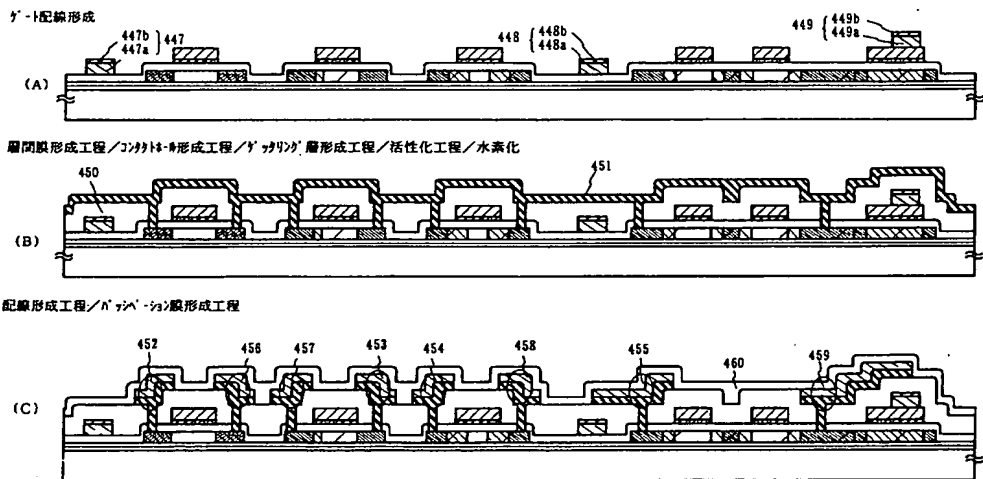
ゲート電極形成工程



【図12】

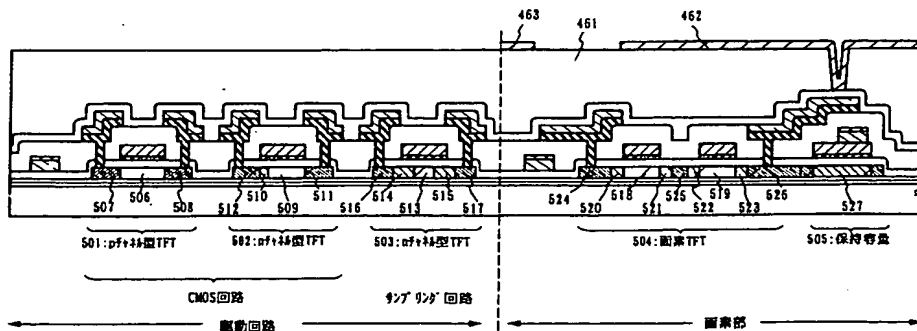


【図13】

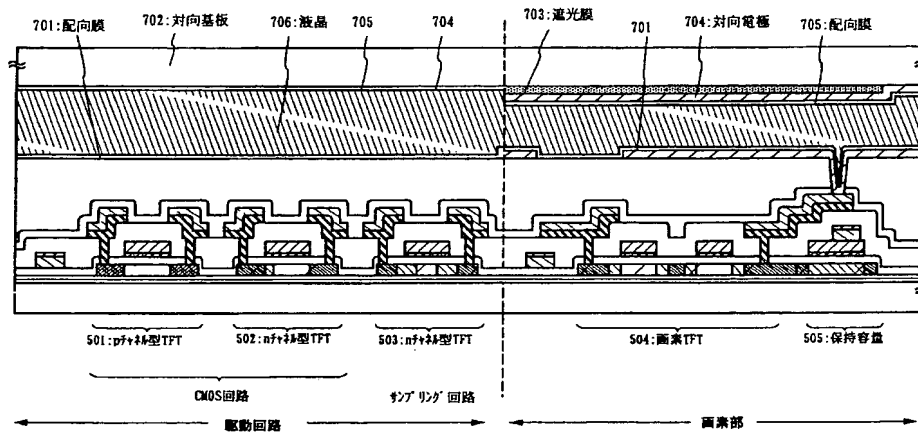


【図14】

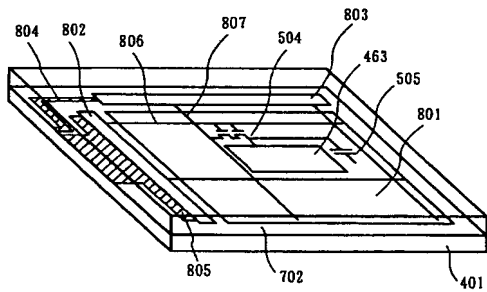
第1の層膜形成/コンタクト形成/画素電極形成



【図 16】

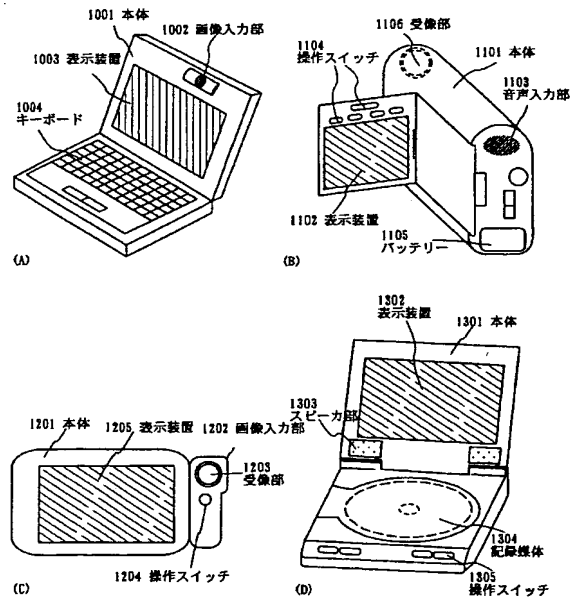


【図 17】

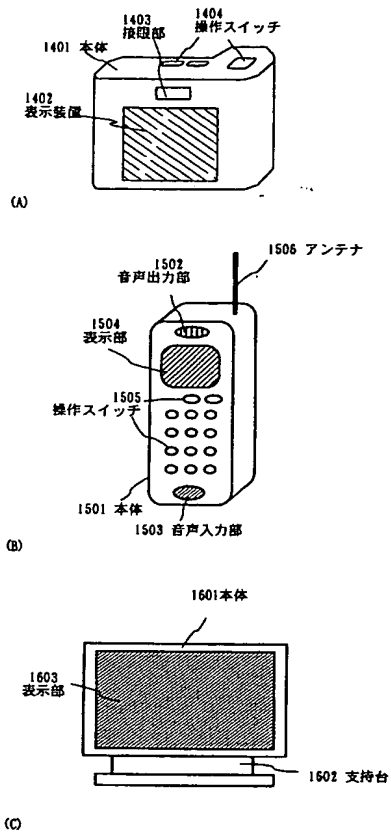


801: 画素部
 802: 走査信号駆動回路, 803: 画像信号駆動回路
 804, 805: 入力配線
 504: 画素TFT
 806: ゲート配線, 807: ソース配線
 461: 画素電極, 505: 保持容量
 401: 基板
 702: 対向基板

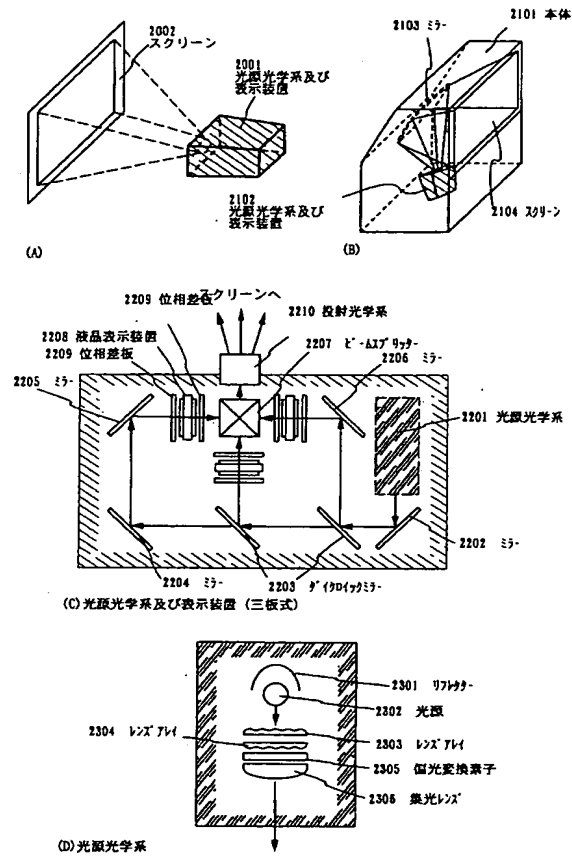
【図 18】



【図19】



【図20】



THIS PAGE BLANK (USPTO)